

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

WEST**End of Result Set**☐ **Generate Collection**

L7: Entry 1 of 1

File: JPAB

Mar 16, 1990

PUB-NO: JP402077127A
DOCUMENT-IDENTIFIER: JP 02077127 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 16, 1990

INVENTOR-INFORMATION:

NAME

COUNTRY

SASAKI, MASAYOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SONY CORP

APPL-NO: JP63229273

APPL-DATE: September 13, 1988

US-CL-CURRENT: 438/FOR.158; 438/439, 438/766

INT-CL (IPC): H01L 21/314; H01L 21/90

ABSTRACT:

PURPOSE: To reduce a parasitic capacitance by lowering the permittivity of an insulating film, or to enable the miniaturization of a device by thinning the insulating film in the case of equal parasitic capacitance by a method wherein fluorine-containing silicon oxide is used as the insulating film.

CONSTITUTION: An SiN film 12 of 2000 \AA ; thick is formed on an element forming region of an Si substrate 11, and an LOCOS oxide film 13 of 3000 \AA ; thick is formed by LOCOS oxidation. Next, before the SiN film 12 is eliminated, F⁺ ion 11 accelerated up to 60keV is implanted in the whole surface of the Si substrate 11, until the surface density becomes about $1 \times 10^{15} \sim 1 \times 10^{16} \text{ atoms/cm}^2$. As a result, fluorine distributes in the LOCOS oxide film 13, and the permittivity thereof is lowered by introducing fluorine in this manner.

COPYRIGHT: (C)1990, JPO&Japio

⑫ 公開特許公報(A)

平2-77127

⑤Int. Cl.⁵

識別記号

庁内整理番号

⑬公開 平成2年(1990)3月16日

H 01 L 21/314
21/90A 6824-5F
K 6824-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭発明の名称 半導体装置

⑮特 願 昭63-229273

⑯出 願 昭63(1988)9月13日

⑰発 明 者 佐々木 正義 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑱出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ⑲代 理 人 弁理士 土屋 勝

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

フッ素を含有するシリコン酸化物を絶縁膜としている半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、素子間分離や層間絶縁等のために絶縁膜を用いている半導体装置に関するものである。

(発明の概要)

本発明は、上記の様な半導体装置において、フッ素を含有するシリコン酸化物を絶縁膜とすることによって、寄生容量が少ないか、同等の寄生容量であれば絶縁膜が薄くて装置が微細である様にしたものである。

(従来技術)

半導体装置の素子間分離膜や層間絶縁膜等としては、シリコン酸化物が従来から多く用いられている。

例えば、素子間分離膜として最も一般的なLOCOS酸化膜は、Siを熱酸化して得られるSiO₂である。また、多結晶Si配線とAl配線との間の層間絶縁膜としては、SiH₄等の熱分解反応によって得られるSiO₂やこれにリンを添加したPSG等がある。

これらの膜は、緻密性、絶縁性、安定性等に優れているために、半導体装置に広く用いられている。

(発明が解決しようとする課題)

ところで、半導体装置の微細化が進むに連れて、絶縁膜の膜厚も薄くしたいという要求が強まっている。

ところが、SiO₂やPSGの比誘電率は約3.9と固定の値であり、膜厚を薄くすると、配線間の寄

生容量が大きくなり、また寄生トランジスタの閾値低減や信号のクロストーク増大等の問題も生じる。

しかし、シリコン酸化物に代わり得る良質で低誘電率の絶縁材料も得られていなかった。

〔課題を解決するための手段〕

本発明による半導体装置は、フッ素14を含有するシリコン酸化物13、18を絶縁膜としている。

〔作用〕

本発明による半導体装置では、フッ素を含有していないシリコン酸化物を絶縁膜としているものに比べて、絶縁膜13、18の誘電率が低い。

〔実施例〕

以下、本発明の第1～第3実施例を、第1図及び第2図を参照しながら説明する。

第1A図は、素子間分離膜としてのLOCOS酸化

膜がフッ素を含有している第1実施例を示している。

この様な第1実施例を製造するには、Si基板11の素子形成領域上に厚さ2000ÅのSiN膜12を形成し、LOCOS酸化を行って厚さ3000ÅのLOCOS酸化膜13を形成する。但し、ここまでは従来公知の方法で行える。

次に、SiN膜12を除去する前に、60keVまで加速したF⁺イオン14を $1 \times 10^{13} \sim 1 \times 10^{14}$ 原子 cm^{-2} 程度の面密度となるまでSi基板11の全面へイオン注入する。

この結果、LOCOS酸化膜13では第1B図に示す様にフッ素が分布するが、この様なフッ素の導入によってLOCOS酸化膜13の誘電率が低下し、フッ素を含有していない3100～3500Å程度の厚さのLOCOS酸化膜と同等の電気容量しか有しないことが判明した。

なお、フッ素の導入量が 1×10^{13} 原子 cm^{-2} 程度以下では誘電率を低下させる効果がないことも判明した。従って、誘電率を低下させるためには、

当然のことながら、 1×10^{13} 原子 cm^{-2} 程度よりも多い量のフッ素を導入する必要がある。

第2図は、層間絶縁膜がフッ素を含有している第2実施例を示している。

この様な第2実施例を製造するには、Si基板11の表面のゲート酸化膜15上に第1層目の多結晶Si層からなるゲート電極16をバターンニングし、更にイオン注入を行ってソース・ドレイン領域17を形成する。但し、ここまでは従来公知の方法で行える。

次に、SiO₂をCVDでSi基板11上に堆積させるが、この時、反応系にSiF₄系のガスを導入することによって、フッ素を含有しているSiO₂から成る層間絶縁膜18を形成する。

その後、Alの蒸着及びバターンニングを行って、層間絶縁膜18上にAl配線19を形成する。

この第2実施例では、フッ素を含有しているSiO₂から層間絶縁膜18が成っているので、この層間絶縁膜18の誘電率が低い。従って、Al配線19、層間絶縁膜18、及びゲート電極16によ

る寄生容量が小さい。

次に、第3実施例を説明する。この第3実施例も第2図に示した第2実施例と同様の構成を有しているが、層間絶縁膜18の形成に際しては、まず純粋なSiO₂のみをCVDで堆積させる。

その後、例えばWF₆を分解してフッ素を含有するタングステン膜をSiO₂膜上に堆積させ、900℃で、30分間程度の熱処理を行う。すると、この熱処理によってタングステン膜中のフッ素がSiO₂膜中へ拡散する。

従って、第2実施例と同様に、フッ素を含有しているSiO₂から成る層間絶縁膜が形成される。タングステン膜は、その後、エッチングによって除去する。

なお、以上の第1～第3実施例では何れもSiO₂にフッ素を含有させたが、リンやボロンやヒ素等の不純物を含むSiO₂であるPSG、BSG、AsSG等にフッ素を含有させてもよい。

〔発明の効果〕

本発明による半導体装置では、絶縁膜の誘電率が低いので、寄生容量が少ないか、同等の寄生容量であれば絶縁膜が薄くて装置が微細である。

4. 図面の簡単な説明

第1A図及び第2図は本発明の夫々第1及び第2実施例の側断面図、第1B図は第1実施例におけるフッ素の分布を示すグラフである。

なお図面に用いた符号において、

13 LOCOS 酸化膜

14 F⁺ イオン

18 層間絶縁膜

である。

代 理 人 土 屋 勝

